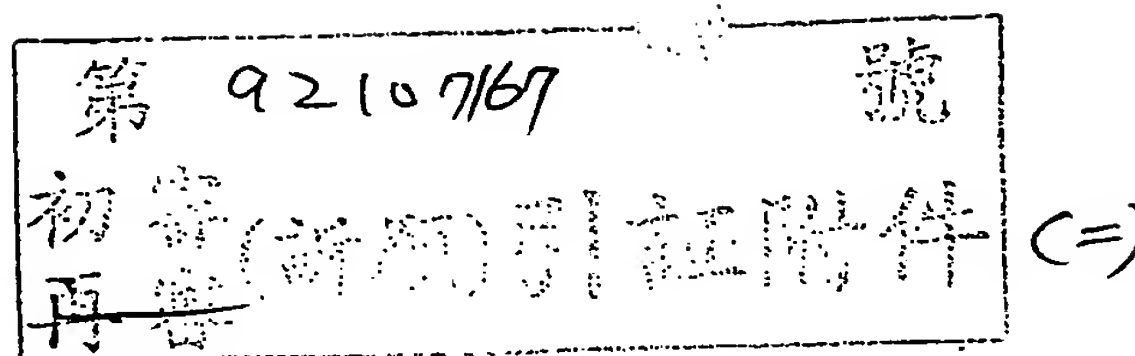


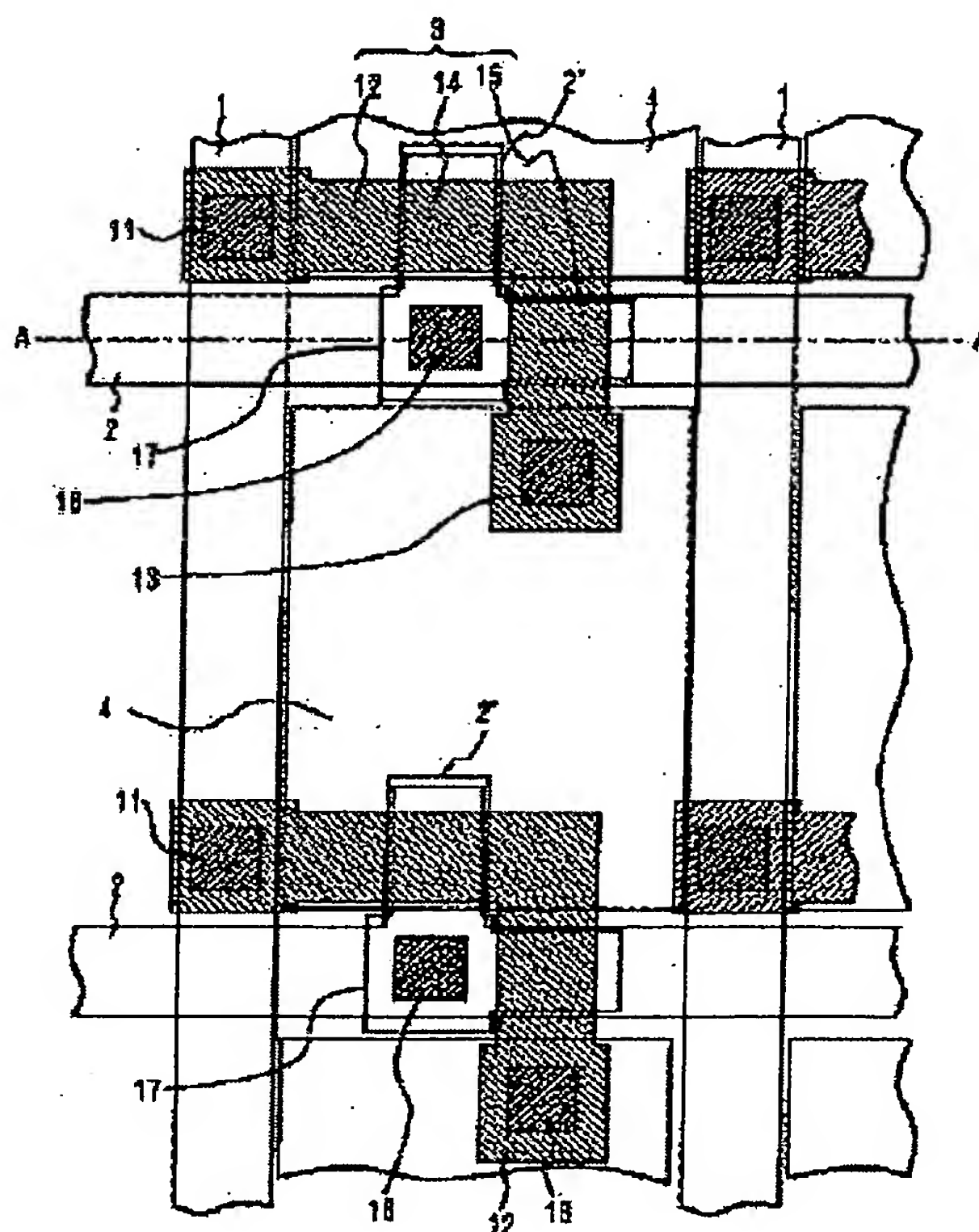
ACTIVE MATRIX TYPE DISPLAY DEVICE

Patent number: JP2001117115
Publication date: 2001-04-27
Inventor: MIYAJIMA KOJI; MATSUDA YOJI
Applicant: SANYO ELECTRIC CO LTD
Classification:
- international: G02F1/1365
- european:
Application number: JP19990299909 19991021
Priority number(s):

**Abstract of JP2001117115**

PROBLEM TO BE SOLVED: To make a pixel finer or to enhance the opening ratio of the pixel by reducing the circuit area of a TFT (thin film transistor) in an active matrix type display device performing the switching of the pixel by using the TFT in which a double gate structure is employed.

SOLUTION: The semiconductor film 12 of a TFT 3 has a double gate structure in which the film intersect one part of a gate line 2 twice and only a gate 15 remote from a data line 1 has a dual gate structure in which the semiconductor film 12 is held between the gate line 2 and a gate electrode 17 and a gate 14 has a single gate structure.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-117115

(P2001-117115A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int.Cl.

識別記号

F I

ターミナル (参考)

G 0 2 F 1/1365

G 0 2 F 1/136

5 0 0

2 H 0 9 2

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号

特願平11-299909

(22) 出願日

平成11年10月21日 (1999. 10. 21)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 宮島 康志

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 松田 洋史

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

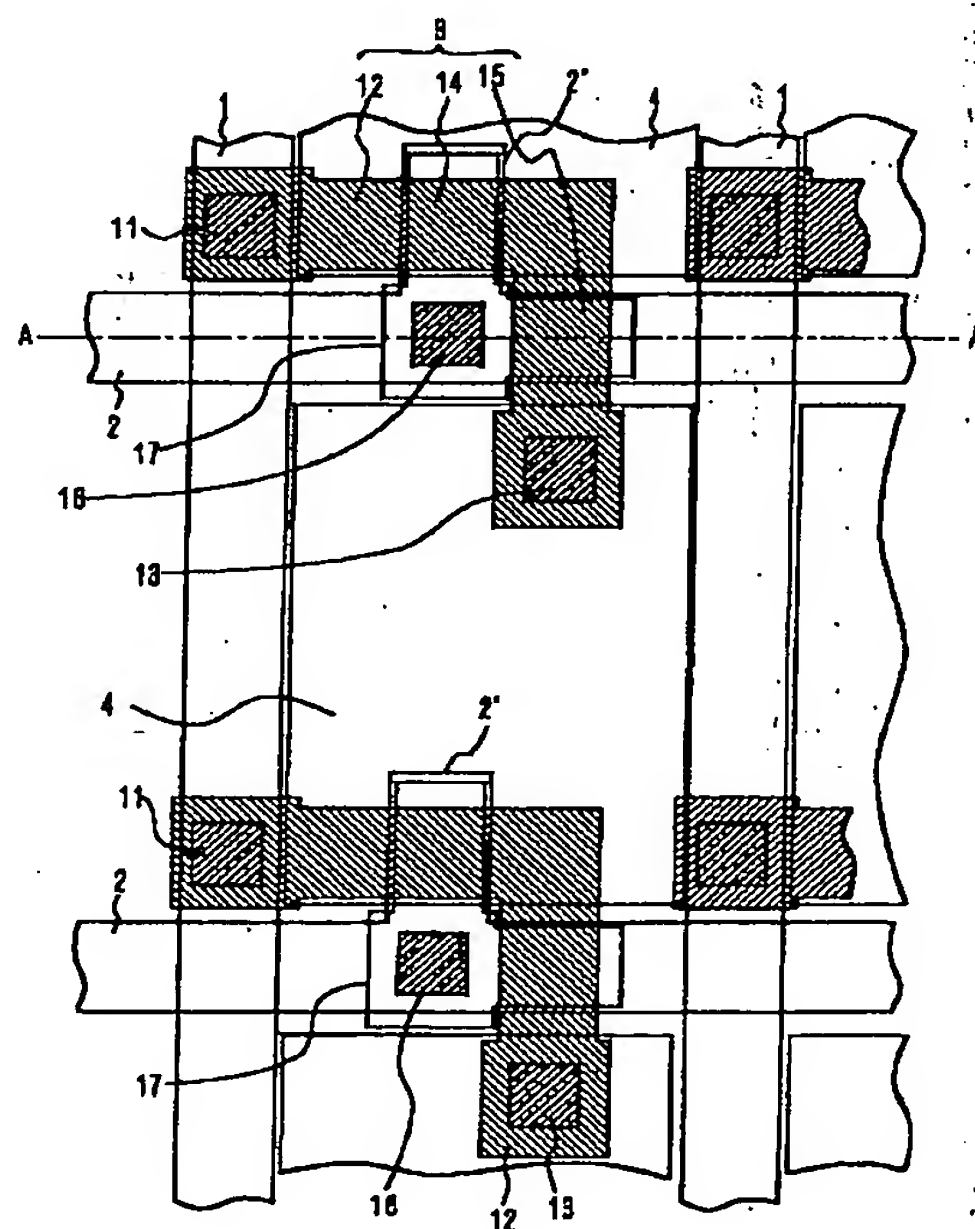
Fターム (参考) 2H092 JA26 JA38 JB23 JB58 NA07
NA11 NA23 NA25

(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【課題】 ダブルゲート構造を採用したTFTを用いて画素のスイッチングを行うアクティブマトリクス型表示装置において、TFTの回路面積を縮小して微細化、もしくは開口率を向上する。

【解決手段】 TFT3の半導体膜12はゲート線2の一部と2回交差するダブルゲート構造であり、データ線1に遠いゲート15だけがゲート線2およびゲート電極17に半導体膜12が挟まれたデュアルゲート構造を有し、ゲート14は単一のゲート構造である。



【特許請求の範囲】

【請求項1】 行方向に複数配置されるゲート線と、列方向に複数配置されるデータ線と、前記ゲート線及び前記データ線の交点それぞれにマトリクス状に配置された画素電極と、前記データ線に第1のコンタクトを介して接続され、前記ゲート線の一部と交差し、前記画素電極に第2のコンタクトを介して接続された半導体膜を有する薄膜トランジスタとを有し、前記薄膜トランジスタを用いて前記画素電極をスイッチングするアクティブマトリクス型表示装置において、前記第1のコンタクトは、前記ゲート線を挟んで前記画素電極と反対側に設けられ、前記ゲート線は、該ゲート線が制御する画素電極とは反対の方向に分岐する突出部を有し、前記薄膜トランジスタの半導体膜は、前記ゲートの突出部と交差し、前記薄膜トランジスタは、ゲートを少なくとも2つ有することを特徴とするアクティブマトリクス型表示装置。

【請求項2】 前記突出部は、当該薄膜トランジスタが制御する画素電極に当該薄膜トランジスタが交差するゲート線を挟んで隣接する隣接画素電極に重畳して形成され、前記半導体膜と突出部との交差は、前記隣接画素電極に重畳して配置されていることを特徴とする請求項1に記載のアクティブマトリクス型表示装置。

【請求項3】 前記薄膜トランジスタは、前記ゲート線に電気的に接続され、前記ゲート線もしくは突出部とは、前記半導体膜を挟んで反対側に配置されるゲート電極を更に有し、前記ゲート電極は、少なくとも前記薄膜トランジスタの前記隣接画素電極に重畳して配置されたゲートに重畳していることを特徴とする請求項2に記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置(Liquid Crystal Display; LCD)や有機ELディスプレイなどの表示装置の構造に関し、特に、薄膜トランジスタ(Thin Film Transistor; TFT)を用いたアクティブマトリクス型で、微細化に適したTFT構造を有する表示装置に関する。

【0002】

【従来の技術】図4は従来アクティブマトリクス型表示装置の例として、従来のLCDを示す平面図である。垂直方向に延在するデータ線51が複数平行に配置され、これに交差する方向に延在するゲート線52が複数平行に配置される。データ線51とゲート線52の各交点には、TFT53および画素電極54が配置されている。

【0003】TFT53はコンタクト61を介してデータ線51に接続された半導体膜62を有し、更にコンタクト63を介して画素電極54に接続されている。半導体膜62はゲート線52と2箇所て交差し、それぞれゲート64、65となっている。

【0004】ゲート線52に電圧が印加されると、TFT

TFT53の半導体膜62にチャネルが形成されて導通となり、データ線51に印加されたデータ電圧が画素電極54に印加され、液晶が駆動されてデータ電圧に応じた表示を行う。

【0005】本明細書では、上述したような、複数のゲートを有するものを多ゲート、特に、二つのゲートを有するTFT構造をダブルゲートと称する。TFT53をダブルゲートとすることによって、TFTを非導通としたとき、高抵抗なTFTが直列に接続されているので、非導通時に意図せずに漏れて流れる不正な電流、いわゆるオフリーク電流を低減できる効果がある。

【0006】TFT53は、更にゲート電極66を有する。ゲート電極66は、コンタクト67を介してゲート線52に接続され、ゲート64、65に重畳している。

【0007】図4におけるA-A'線断面図を図5に示す。ガラス基板71上にゲート線52が配置され、第1のゲート絶縁膜72を介してTFT53の半導体膜62が配置されている。半導体膜62上に、第2のゲート絶縁膜73を介してデータ線51及びゲート電極66が同層で配置されている。更に平坦化膜74等が形成され、その上に図示しない液晶、対向基板が配置される。

【0008】本明細書では、このようにTFT53の半導体膜62がゲート線52及びゲート電極66に挟まれている構造をデュアルゲートと称する。ゲート電極66は、ゲート線52に接続されているので、ゲート線52と同電位である。デュアルゲートとすることによって、上下のゲートそれぞれの電界によって半導体膜62にチャネルが形成するため、ゲート電極66を有さない構造のTFTに比較して、導通時の抵抗が小さく、また、バックチャネルの形成を抑止できるためオフリーク電流が低減できる効果がある。

【0009】さて、近年、デジタルスチルカメラやデジタルビデオカメラのファインダなどのように、携帯電子機器の表示装置としてアクティブマトリクス型表示装置が採用されているが、携帯機器に搭載するために、画素数を維持したまま画面サイズを縮小して微細化する要求がある。

【0010】

【発明が解決しようとする課題】画素数を維持したまま画面サイズを縮小すると、下記の問題が生じる。

【0011】まず、加工できる最小の線幅、いわゆるデザインルールが一定であるため、それ以上微細化できない。即ち、同層に形成されるそれぞれの構造は、デザインルールに基づいた最小の線幅dを有すると共に、デザインルールに基づいた最小の間隔を設ける必要がある。また、配線51、52の線幅やTFT53、各コンタクト61、63、67等の面積は、縮小すると電気抵抗が上昇するため、一定以上の線幅、大きさを確保する必要がある。

【0012】従って、画面サイズを縮小し、画素電極5

4を小さく設計しても、配線やTFTは縮小に限界があり、相対的にTFTの画素に占める面積が増大し、特に、従来のダブルゲート及びデュアルゲートを併用した構造のTFTでは、微細化が困難であった。TFT等のスイッチング素子は光があたると誤動作する恐れがあるため、遮光膜を配置する必要がある、微細化した表示装置では、その開口率の向上が課題であった。

【0013】また、微細化しない表示装置でも、遮光膜を形成した領域を縮小し、開口率を上げる要求もある。

【0014】そこで本発明は、一定のTFT特性を維持しつつ、より回路面積の縮小されたダブルゲートのTFT構造を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明は、上記の課題を解決するためになされ、行方向に複数配置されるゲート線と、列方向に複数配置されるデータ線と、ゲート線及びデータ線の交点それぞれにマトリクス状に配置された画素電極と、データ線に第1のコンタクトを介して接続され、ゲート線の一部と交差し、画素電極に第2のコンタクトを介して接続された半導体膜とを有する薄膜トランジスタとを有し、薄膜トランジスタを用いて画素をスイッチングするアクティブマトリクス型表示装置において、第1のコンタクトは、ゲート線を挟んで画素電極と反対側に設けられ、ゲート線は、このゲート線が制御する画素電極とは反対の方向に分岐する突出部を有し、薄膜トランジスタの半導体膜は、ゲートの突出部とも交差し、薄膜トランジスタは、ゲートを少なくとも2つ有する多ゲート構造の薄膜トランジスタである。

【0016】また、突出部は、この薄膜トランジスタが制御する画素電極にこの薄膜トランジスタが交差するゲート線を挟んで隣接する隣接画素電極に重畳して形成され、半導体膜と突出部との交差は、隣接画素電極に重畳して配置されている。

【0017】さらに、薄膜トランジスタは、ゲート線に電気的に接続され、ゲート線もしくは突出部とは、半導体膜を挟んで反対側に配置されるゲート電極を更に有し、ゲート電極は、少なくとも薄膜トランジスタの隣接画素電極に重畳して配置されたゲートに重畳している。

【0018】

【発明の実施の形態】図1は本発明の第1の第1の実施形態を示す平面図である。垂直方向に延在するデータ線1が複数平行に配置され、これに交差する方向に延在するゲート線2が複数平行に配置される。データ線1とゲート線2の各交点に対応して、TFT3および画素電極4が配置されている。

【0019】TFT3は、コンタクト11を介してデータ線1に接続された半導体膜12を有し、さらにコンタクト13を介して半導体膜12は画素電極4に接続されている。半導体膜12はゲート線2と2箇所で交差し、それぞれがゲート14、ゲート15となっているダブル

ゲート構造である。

【0020】本実施形態においては、ゲート線2は、突出部2'を有する。突出部2'は画素電極4にこのゲート線2を介して隣接する画素電極4'上に重畳している。そして、半導体膜12はこの突出部2'と隣接画素4'上で交差してゲート14となっている。

【0021】TFT3は更にコンタクト16を介してゲート線2に接続されたゲート電極17を有する。ゲート電極17は、ゲート14、15に重畳し、デュアルゲート構造を形成している。従って、半導体膜12と画素電極4'との間にゲート電極17が存在するため、画素電極4'が形成する電界の影響がゲート電極17によって遮蔽され、TFT3の誤作動を防止することができる。

【0022】図1におけるA-A'線断面図を図2に示す。ガラス基板31上にゲート線2が配置され、第1のゲート絶縁膜32を介してTFT3の半導体膜12が配置されている。半導体膜12上に、第2のゲート絶縁膜33を介してデータ線1及びゲート電極17が同層で配置されている。更に平坦化膜34等が形成され、その上に図示しない液晶、対向基板が配置される。ここで、ゲート14は、隣接画素上に重畳して配置されているため、同層に形成されたデータ線1とゲート電極17とは、デザインルールにのっとり間隔が確保されている。

【0023】データ線1とゲート電極17とは、上述したように、同一の層で形成されているため、絶縁する必要がある、デザインルール上所定の間隔を確保する必要がある。図4に示す従来のゲート電極66の形状と比較すれば明らかであるが、本実施形態において、ゲート14が隣接画素に重畳しているため、ゲート電極17の行方向の長さは、ゲート14をゲート線2上に配置した場合に比較しておよそ2/3に短縮されている。これによって、TFT3は、ダブルゲート構造とデュアルゲート構造を併用した上で、デザインルールにのっとり間隔を確保することができるようになった。

【0024】本実施形態において、ゲート14を画素電極4に重畳させることのメリットについて説明する。画素電極4とゲート線2の突出部2'は重畳して形成されており、ゲート線は金属であるため遮光領域となる。また、半導体膜12はポリシリコン膜のような透過性の膜であるので、画素電極4と半導体膜12との重畳領域は光を透過する。画素電極4に突出部2'を重畳して形成することによって、突出部2'ぎりぎりの領域まで光を透過する領域として用いることができるので、開口率が向上する。

【0025】更に、ゲート14を隣接する画素電極4に重畳するメリットについて説明する。一般的に、対向する二つの電極には、寄生容量が生じる。ここで、ゲート14を自身の画素電極4に重畳して配置した場合、突出部2と画素電極4との間で寄生容量が生じ、即ち、ゲ

ト線2と画素電極4との間の寄生容量が増大する。ゲート線2と画素電極4との寄生容量が増大すると、ゲート電圧の印加によって画素電極の電圧が変動するなど、動作に不具合を生じる恐れがあり、この寄生容量は極力小さくする必要がある。これに対し、隣接する画素電極4にゲート14を重畳して形成した場合、隣接画素電極4に電圧印加されるときはゲート14自身はオフであり、動作の不具合が生じる恐れがないばかりか、むしろ補助容量電極として働くという効果がある。

【0026】また、半導体膜12とデータ線1とのコンタクト11は、画素電極4とは、ゲート線2を隔てて反対側に配置されている。これによって、半導体膜12は、従来のTFT53の半導体膜62のように、ゲート線2を往復して形成する必要が無く、ゲート線2と一度交差すれば良いので、半導体膜12の長さを短く形成できる。従って、本実施形態の半導体膜12は突出部2'との重畳部分と合わせて一度の屈曲(L字型の形状)でダブルゲート構造を実現できる。これによって、半導体膜12に要する面積は大幅に縮小される。これは、特に画面サイズを縮小する上で重要である。

【0027】次に図3に本発明の第2の実施形態にかかるLCDの平面図を示す。本実施形態は、列方向に隣接する画素電極同士を行方向に1/2画素分だけずらして配置した、いわゆるデルタ配列である。垂直方向に屈曲したデータ線1'が複数配置され、これに交差する方向にゲート線2が複数配置される。データ線1とゲート線2の各交点には、TFT3を介して画素電極4が配置されている。第1の実施形態と同様の構成については説明を省略する。

【0028】デルタ配列は画素電極4をずらすためにデータ線1'が屈曲している。そして、本実施形態においても第1の実施形態と同様、ゲート14は隣接する画素電極4'に重畳して形成されており、これによって、デザインルールにのっとった上でダブルゲート構造とデュアルゲート構造とを採用することができた。

【0029】なお、上記実施形態はLCDを例示して説明したが、ダブルゲートのTFTを用いてスイッチングを行うアクティブマトリクス型の表示装置であれば、例えば、有機ELディスプレイ、蛍光表示管を用いた蛍光表示装置など、どのような方式の表示装置にでも適用できる。

【0030】

【発明の効果】以上に述べたように、本発明によれば、まず、薄膜トランジスタの第1のコンタクトは、ゲート線を挟んで画素電極と反対側に設けられているので、薄

膜トランジスタの半導体膜は、ゲート線と1度交差すればよいので、半導体膜の面積を縮小でき、よって、薄膜トランジスタを微細化できる。

【0031】次に、ゲート線は、このゲート線が制御する画素電極とは反対の方向に分岐する突出部を有し、薄膜トランジスタの半導体膜は、ゲートの突出部と交差しているので、薄膜トランジスタを微細化した上で多ゲート構造の薄膜トランジスタとすることができる。

【0032】次に、突出部は、この薄膜トランジスタが制御する画素電極にこの薄膜トランジスタが交差するゲート線を挟んで隣接する隣接画素電極に重畳して形成され、半導体膜と突出部との交差は、隣接画素電極に重畳して配置されているので、画素電極を縮小することなく上記の薄膜トランジスタを配置でき、また、ゲート線の突出部ぎりぎりまで光を透過する領域とすることができるので、より開口率を向上させることができる。

【0033】次に、薄膜トランジスタは、ゲート線に電氣的に接続され、ゲート線もしくは突出部とは、半導体膜を挟んで反対側に配置されるゲート電極を更に有し、ゲート電極は、少なくとも薄膜トランジスタの隣接画素電極に重畳して配置されたゲートに重畳しているので、隣接画素によって生じる電界によって薄膜トランジスタが誤作動することがない。

【0034】ところで、一つの画素が大きい大型の表示装置では、一つの画素に対するTFTの占める面積の割合は、小型の表示装置に比較して低い。従って、本発明は、4インチ型以下、例えば、2インチ型や1.5インチ型などの小型の表示装置や、4インチ型や6インチ型でXGAなどの高精細を表示する表示装置に適用して最も効果的である。

【図面の簡単な説明】

【図1】第1の実施形態にかかる表示装置の平面図である。

【図2】第1の実施形態にかかる表示装置の断面図である。

【図3】第2の実施形態にかかる表示装置の平面図である。

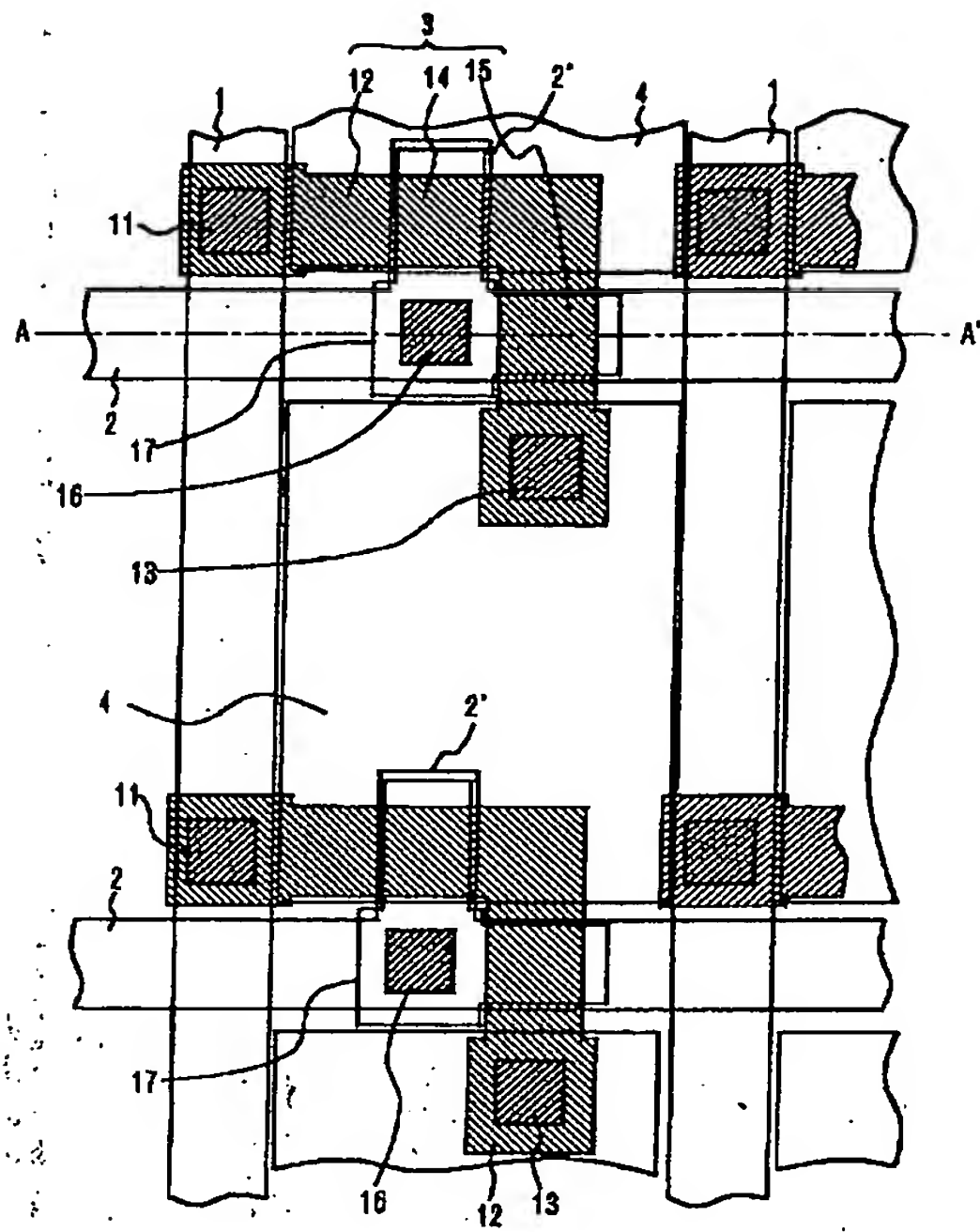
【図4】従来の表示装置の平面図である。

【図5】従来の表示装置の断面図である。

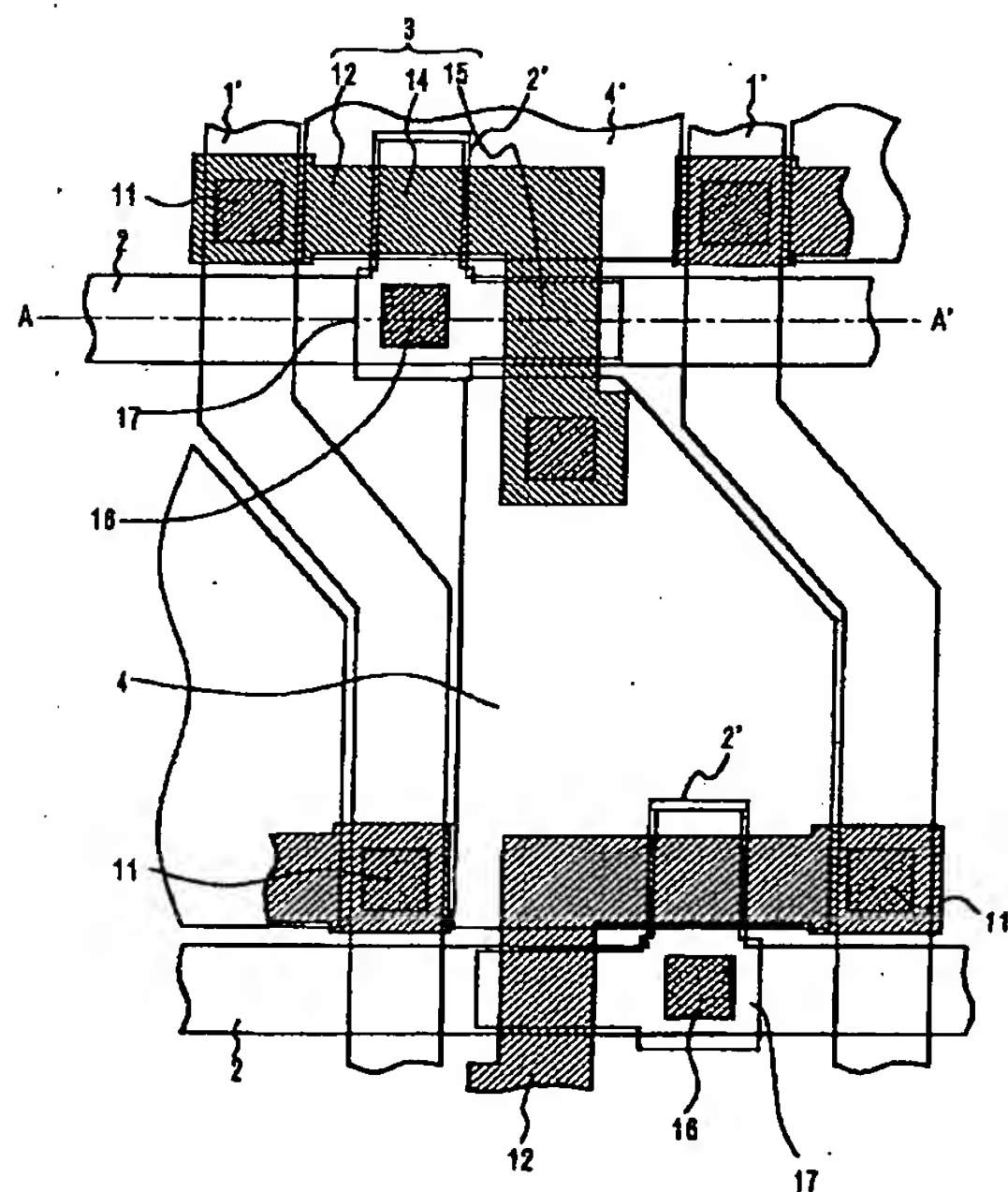
【符号の説明】

- | | |
|----------------|-------------------|
| 1 データ線、 | 2 ゲート線、 |
| 3 TFT、 | 4 画素電極、 |
| 11、13、16 コンタクト | 12 半導体膜、 |
| 14 単一の構造のゲート、 | 15 デュアルゲート構造のゲート、 |
| 17 ゲート電極 | |

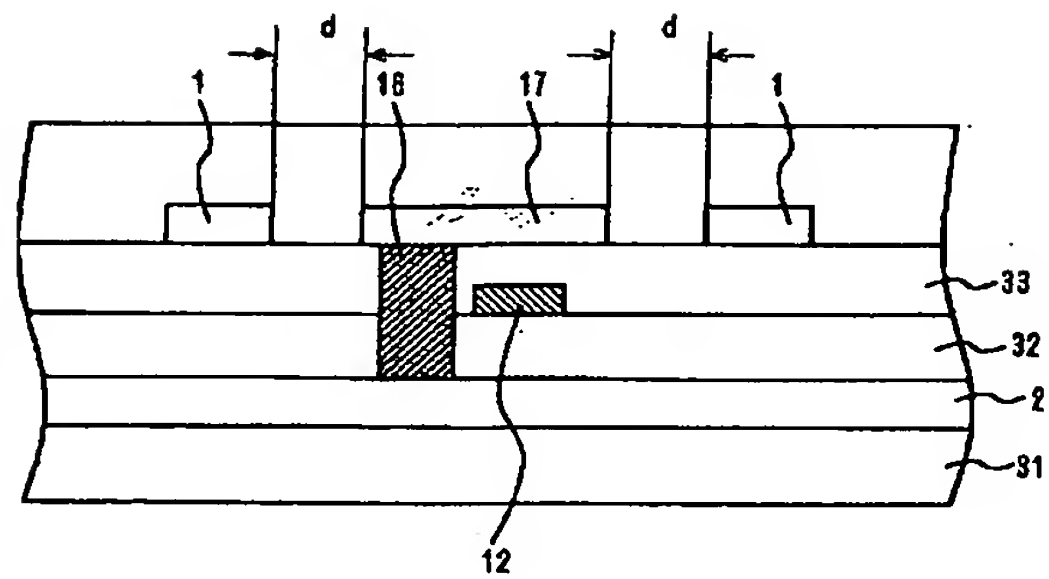
【図1】



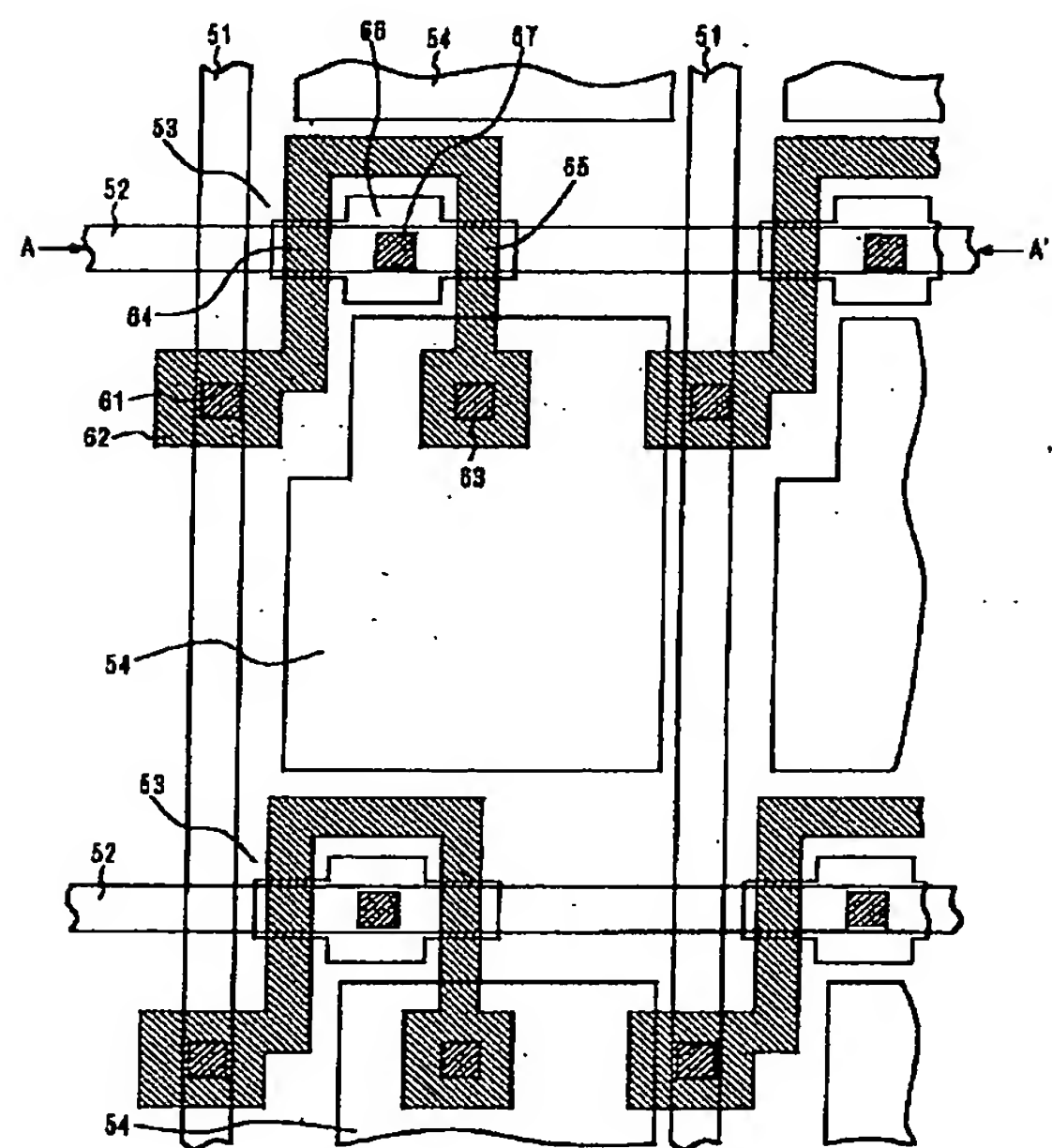
【図3】



【図2】



【図4】



【図5】

